

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-64110

(43)公開日 平成5年(1993)3月12日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|---------|---------|-----|--------|
| H 0 4 N 5/66 | 1 0 2 B | 7205-5C | | |
| G 0 2 F 1/133 | 5 7 5 | 7820-2K | | |
| H 0 4 N 5/202 | | 8626-5C | | |
| 5/57 | | 6957-5C | | |
| 5/66 | A | 7205-5C | | |

審査請求 未請求 請求項の数7(全13頁)

(21)出願番号 特願平3-225637

(22)出願日 平成3年(1991)9月5日

(71)出願人 000233136

株式会社日立画像情報システム
神奈川県横浜市戸塚区吉田町292番地

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 甲 展明

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像メディア研究所内

(72)発明者 工藤 俊彦

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所映像メディア研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

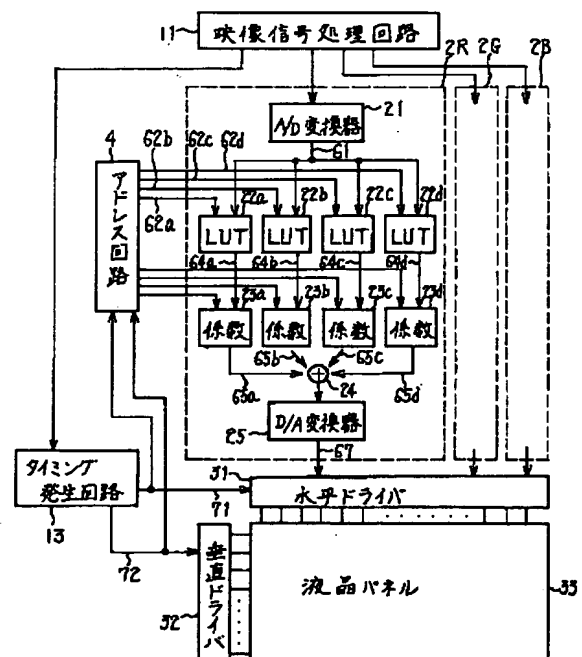
(54)【発明の名称】 映像信号補正装置とそれを用いた表示装置

(57)【要約】

【目的】液晶表示装置などに発生する輝度むら低減とガンマ補正を行う映像信号補正装置に用いるLUTのメモリ容量低減を図る。

【構成】表示画面をブロックに分け、いくつかのブロック毎のガンマ補正データをLUT22a、22b、22c、22dに格納しておく。A/D変換器21でデジタル変換された映像信号61を四個のLUTに入力し、係数付加回路23a、23b、23c、23dと加算回路24からなる補間処理回路により、ガンマ補正データの無いブロックの映像信号を形成する。

図1



【特許請求の範囲】

【請求項1】映像信号をデジタル変換した映像信号データを出力するA/D変換器と、同期信号からタイミング発生回路により形成される水平駆動パルスと垂直駆動パルスを入力し、表示画面上で画面分割したブロック位置を示す水平画素位置データと垂直画素位置データを出力するアドレス回路と、上位アドレス線に前記水平ブロック位置データと前記垂直ブロック位置データ、下位アドレス線に前記A/D変換器出力の映像信号を入力とし、複数のブロック毎に表示むら補正データを格納する複数のルックアップテーブルと、前記複数のルックアップテーブルから出力される複数の補正映像信号データを入力とする係数付加回路と加算器からなる補間処理回路を備えたことを特徴とする映像信号補正装置。

【請求項2】請求項1に記載の前記映像信号補正装置を用いた表示装置。

【請求項3】請求項1に記載の前記映像信号補正装置の複数のルックアップテーブルがRAMで構成され、ROMやフロッピーディスク、ハードディスクなどの外部記憶装置と、前記RAMがデータバスで接続されている映像信号補正装置。

【請求項4】請求項3に記載の映像信号補正装置のデータバスはマイクロコンピュータと接続可能な映像信号補正装置。

【請求項5】映像信号をデジタル変換した映像信号データを出力するA/D変換器と、前記A/D変換器の出力デジタル映像信号を視感度補正する第一のルックアップテーブルと、同期信号からタイミング発生回路により形成される水平駆動パルスと垂直駆動パルスを入力し、表示画面上で画面分割したブロック位置を示す水平画素位置データと垂直画素位置データを出力するアドレス回路と、上位アドレス線に前記水平ブロック位置データと前記垂直ブロック位置データ、下位アドレス線に前記第一のルックアップテーブル出力の映像信号を入力とし、かつ複数のブロック毎に表示むら補正データを格納する複数の第二のルックアップテーブルと、前記複数の第二のルックアップテーブルから出力される複数の補正映像信号データを入力とする係数付加回路と加算器からなる補間処理回路、前記補間処理回路の出力を入力としガンマ補正する第三のルックアップテーブルを備えたことを特徴とする映像信号補正装置。

【請求項6】請求項5に記載の前記映像信号補正装置の前記第三のルックアップテーブルのデータを表示内容に合わせて切り替える映像信号補正装置。

【請求項7】請求項6に記載の前記映像信号補正装置を用いた表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置などのドットマトリクス形表示装置上に発生する輝度むらを電氣的

に補正する映像信号補正装置とそれを用いた表示装置に関する。

【0002】

【従来の技術】アクティブマトリクスを用いた液晶表示装置において、入力されたアナログ画像信号をデジタル信号に変換した後、例えば、メモリで構成されるルックアップテーブル（以下LUTと略す）を用いて、入力映像信号を液晶表示特性に合わせた液晶印加電圧信号に変換する、いわゆる、ガンマ補正を行うと同時に、そのLUT内のガンマ補正データを画像表示位置に合わせて切り換え、輝度むらが少ない液晶表示装置を実現することが、例えば、特開平3-18822号公報に示されている。

【0003】

【発明が解決しようとする課題】上記従来技術は、液晶パネル上の表示画面を適当なブロックに分割し、ブロック単位でガンマ補正データを切り換えている。このとき、たとえば、デジタル画像信号が一画素当たり八ビット（0～255階調）で構成され、さらに画面の中央部に対し周辺部の輝度が約75%あったと仮定すると、中央部と周辺部の輝度差25%（64階調）分の補正が必要となる。ブロック間のガンマ補正曲線の差により、ブロックの接合部（境界領域）の輝度差が生じて目立つという問題を防ぐためには、中央部から周辺部へ64ブロック分の分割を行い、ブロック間の補正は1階調程度であるのが望ましい。すなわち、表示画面全体を水平、垂直共128分割した $128 \times 128 = 16,384$ ブロック必要となる。各ブロックごとに256階調分の八ビットガンマ補正データが三原色分必要とすると、LUTは $16,384 \times 256 \times 8 \times 3 = 96 \text{ Mbit}$ 分もの大容量データが必要となり、価格が高いといった問題があった（メモリ容量については、慣例により、 $1024 \text{ bit} = 1 \text{ Kbit}$ 、 $1024 \text{ Kbit} = 1 \text{ Mbit}$ の単位で示している）。

【0004】そこで本発明は、少ないメモリ容量で輝度むら低減とガンマ補正を実現するために、輝度むら補正兼用ガンマ補正データの補間を行った、低価格の映像信号補正装置とそれを用いたドットマトリクス形表示装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明はいくつかのブロック毎にガンマ補正データを格納しておき、ガンマ補正データの無いブロックのデータは、近くのガンマ補正データを持つブロックのデータから演算処理して得られる補間データを用いる。

【0006】さらに、各輝度むら補正データを主なガンマ補正データからの差分情報として格納することにより、一ブロック当たりの輝度むら補正データを圧縮し、ガンマ補正データとして使用する時に演算処理して元のデータを再現することにより、一層のメモリ容量低減を

図る。

【0007】

【作用】例えば、 4×4 ブロック毎にガンマ補正データを蓄え、他のブロックのガンマ補正データを補間データで代用することにより、従来の $1/16$ のメモリ容量で輝度むら補正を実現できる。もともと、各ブロック間の境界を目立たせないため、隣接ブロックのガンマ補正データの輝度差は一階調程度であり、 16 ブロック程度の範囲でガンマ補正データの大きな変化はないと考えられるので、上記の補間データ使用による輝度むら補正効果が減ることは少ないと考えられる。

【0008】さらに、ブロック間のガンマ補正データに大きな差がない場合、例えば、ガンマ補正データを 16×16 ブロック（以下、大ブロックと呼ぶ）毎に、大ブロックのガンマ補正データに対する差分情報を 4×4 ブロック（以下、中ブロックと呼ぶ）毎に蓄える。ガンマ補正データとして 8 bit 必要な場合でも、差分情報としては 4 bit 程度で表現できるため、中ブロック全てにガンマ補正データを蓄える場合に比べて、さらにメモリ容量をほぼ半減できる効果がある。

【0009】

【実施例】以下、ドットマトリクス形表示装置の一例として、液晶表示装置を取り上げ、本発明の一実施例の映像信号補正装置とそれを用いた表示装置について、図面を参照しながら説明する。

【0010】図1は本発明の第一の実施例における映像信号補正装置とそれを用いた液晶表示装置のブロック図を示すものである。図1において、 $2R$ 、 $2G$ 、 $2B$ はそれぞれ例えば R （赤）、 G （緑）、 B （青）の三原色映像信号に対応した映像信号補正装置、 21 は A/D 変換器、 $22a$ と $22b$ 、 $22c$ 、 $22d$ は LUT 、 $23a$ と $23b$ 、 $23c$ 、 $23d$ は係数付加回路、 24 は加算器、 25 は D/A 変換器である。

【0011】映像信号からアナログ三原色映像信号と水平及び垂直同期信号を作成する映像信号処理回路11から出力され、 A/D 変換器21で例えば 8 bit にデジタル変換された映像信号61は、 LUT 22a、22b、22c、22dの下位アドレスに並列に入力される。一方、水平及び垂直同期信号はタイミング発生回路13で水平駆動パルス71、垂直駆動パルス72を作成する。水平駆動パルス71で制御される水平ドライバ31と、垂直駆動パルス72で制御される垂直ドライバ32によって、液晶パネル33を駆動する。

【0012】この時、アドレス回路4は、水平駆動パルス71と垂直駆動パルス72から、画面分割したブロック位置を示す水平ブロック位置データと垂直ブロック位置データを作成し、そのブロック位置データに基づく LUT 制御信号62a、62b、62c、62dを、 LUT 22a、22b、22c、22dの上位アドレスに入力される。この結果、 LUT 22a、22b、22c、

22dはテーブルを参照することにより、下位アドレスに与えられたデジタル映像信号61に対してガンマ補正された四ブロック分の映像信号64a、64b、64c、64dが得られる。同時に、アドレス回路4はブロック位置データに基づき、係数選択信号63a、63b、63c、63dを係数付加回路23a、23b、23c、23dに与え、係数選択信号に対する所定の係数を四ブロック分の映像信号64a、64b、64c、64dに掛け合わせた信号65a、65b、65c、65dを得る。これらの信号を加算器25に加えて加算することにより、ブロック位置に対応して補間によりガンマ補正されたデジタル映像信号66が得られ、これを D/A 変換器25によりアナログ信号に変換されて、水平ドライバ31に入力され、液晶パネル上に各ブロック毎にガンマ補正と同時に輝度むら補正された表示画像が得られる。

【0013】以上のように構成された映像信号補正装置について、以下その動作について説明する。

【0014】図2は、実施例において、ガンマ補正データを持つ近接した四ブロックから補間によって、所定ブロックのガンマ補正されたデジタル映像信号を得る動作原理を説明する図である。 i 、 j はそれぞれ垂直、水平ブロック位置を示しており、以下、ブロックを (i, j) の座標でその位置を示す。ガンマ補正データを持つ水平、垂直四ブロック毎のブロックに○印を記入してある。すなわち $4 \times 4 = 16$ ブロック毎にガンマ補正データを持つことにより、全てのブロックにガンマ補正データをもたせる従来の方法に比べて、ガンマ補正データを格納するメモリ容量をほぼ $1/16$ に低減できる。すなわち、従来例で説明した $128 \times 128 = 16,384$ のブロックを持つ場合、ガンマ補正データを持つブロックは $32 \times 32 = 1,024$ で済むため、四つの LUT 22a、22b、22c、22dの合計メモリ容量は $1,024 \times 256 \times 8 = 2 \text{ Mbit}$ （各 LUT 当たり、 0.5 Mbit ）、三原色分合わせて $2 \text{ Mbit} \times 3 = 6 \text{ Mbit}$ と低減できる。

【0015】次に、ガンマ補正データを持たない (i, j) のブロックのガンマ補正されたデジタル映像信号 e_{ij} を補間により求める方法を説明する。

【0016】 LUT 22a、22b、22c、22dは、それぞれ $(8m, 8n)$ 、 $(8m+4, 8n)$ 、 $(8m, 8n+4)$ 、 $(8m+4, 8n+4)$ のブロックのガンマ補正データを格納しているとする（但し、 m, n は0以上の整数）。この時、 $0 \leq i, j \leq 4$ の範囲において、 (i, j) ブロックに近接した四つのブロック $(0, 0)$ 、 $(0, 4)$ 、 $(4, 0)$ 、 $(4, 4)$ のガンマ補正データを利用して、 (i, j) ブロックの入力映像信号に対するガンマ補正されたデジタル映像信号 a_{00} 、 b_{04} 、 c_{40} 、 d_{44} を LUT 22a、22b、22c、22dより得る。この時、二次元の直線

補間により、ガンマ補正されたデジタル映像信号 e_{ij} は式(1)から求められる。

【数1】

$$e_{ij} = \frac{1}{16} \{ (4-i)(4-j) a_{00} + (4-i)j b_{04} + i(4-j) c_{40} + ij d_{44} \}$$

(但し、 $0 \leq i, j \leq 4$)

----(1)

【0018】すなわち、デジタル映像信号 a_{00} , b_{04} , c_{40} , d_{44} にそれぞれ所定の係数を掛け合わせた後、加算することにより、ガンマ補正されたデジタル映像信号 e_{ij} が得られることがわかる。この演算処理を行う回路が係数付加回路23a, 23b, 23c, 23dと加算器24であった。次に、係数付加回路の動作を、係数付加回路23aを例に取り上げて説明する。

【0019】図1に示すように、係数付加回路23aには、LUT22aの出力映像信号64a(図2では映像信号 a_{00} , a_{08} に相当)と、アドレス回路の係数選択信号63aが入力され、式(1)中の第一項に相当する出力データを得る回路である。図3はこれらの関係をまとめたものであり、第一の実施例における係数付加回路23aの出力データを示す図である。係数付加回路は、LUTと同様に例えばメモリなどで実現でき、ブロック位置に応じて映像信号 a_{00} , a_{08} , a_{80} などと切り替わる8bit映像信号64aを下位アドレスに、ブロック位置を示すアドレス i と j の下位3bitずつ計6bitを上位アドレスに与えればよい。この14bitアドレス、8bitデータの構成において、係数付加回路22aを構成するメモリ容量は $16Kbit \times 8 = 128Kbit$ 必要となる。この時、LUTのメモリ容量と合わせて $2Mbit + 128Kbit \times 4 = 2.5Mbit$ 、三原色分合わせて $2.5Mbit \times 3 = 7.5Mbit$ であり、システム全体で考えても従来例の96Mbit に比べて大幅低減できる。

【0020】さて、図3を見ると、係数付加回路に要求される係数は、 $0, 1/16, 1/8, 3/16, 1/4, 3/8, 1/2, 9/16, 3/4, 1$ の10種類しかないことがわかる。従って、係数選択信号を工夫することにより、係数付加回路をメモリで構成した場合のブロック位置を示すアドレス i と j の下位3bitずつ計6bitの64種類の係数選択信号ではなく10種類で済むため、係数付加回路のメモリ容量は $256 \times 10 \times 8 = 20Kbit$ と前述の128Kbitに大して $1/6$ に低減できる。以下、このメモリ容量低減手法に基づいて図1の実施例におけるアドレス回路4の具体的回路構成とその動作、係数付加回路23a, 23b, 23c, 23dの動作について説明する。

【0021】図4は第一の実施例におけるアドレス回路の構成例を示すブロック図である。入力端子49hと4※50

10※9vには、それぞれ図1のタイミング発生回路の出力信号である水平駆動パルス71と垂直駆動パルス72が与えられ、分周器41hと41vにより、水平ブロックパルス73hと垂直ブロックパルス73vを得る。水平ブロックパルス73hを四分周器42hと二分周器43hで分周することにより、水平ブロック位置 j の下位3bit信号74hを得、デコーダ46a, 46b, 46c, 46dの下位アドレスに与えられる。同様に、垂直ブロックパルス73vを四分周器42vと二分周器43vで分周することにより、垂直ブロック位置 i の下位3bit信号74vを得、デコーダ46a, 46b, 46c, 46dの上位アドレスに与えられる。デコーダ46a, 46b, 46c, 46dは水平及び垂直ブロック位置 i, j の下位3bit信号74h, 74vから係数付加回路23a, 23b, 23c, 23dに与えるそれぞれ4bitの係数選択信号63a, 63b, 63c, 63dを得る。

【0022】二分周器43hの出力信号はさらに十六分周器44hで十六分周され、水平ブロック位置 j の上位4bit信号75hをLUT22aと22cのLUT制御信号62aと62cの下位制御信号として用いる。水平ブロック位置 j の上位4bit信号75hを遅延回路45hで遅らせた信号76hを、LUT22bと22dのLUT制御信号62bと62dの下位制御信号として用いる。遅延回路を用いるのは、各LUTがガンマ補正データを8水平ブロック毎に持ち、かつLUT22aと22cに対し、LUT22bと22cが格納しているガンマ補正データの対応するブロックが4水平ブロックずれていることに対応している。同様に、二分周器43vの出力信号はさらに16分周器44vで16分周され、垂直ブロック位置 i の上位4bit信号75vをLUT22aと22bのLUT制御信号62aと62bの上位制御信号として用いる。水平ブロック位置 i の上位4bit信号75vを遅延回路45vで遅らせた信号76vを、LUT22cと22dのLUT制御信号62cと62dの下位制御信号として用いる。

【0023】表1は、係数付加回路の係数選択信号入力と上記十種類の係数の対応を示す図である。

【0024】

【表1】

[表1] 係数付加回路の係数選択信号と係数の対応を示す表

| 係数選択信号 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10~15 |
|--------|---|----------------|---------------|----------------|---------------|---------------|---------------|----------------|---------------|---|-------|
| 係数 | 0 | $\frac{1}{16}$ | $\frac{1}{8}$ | $\frac{3}{16}$ | $\frac{1}{4}$ | $\frac{3}{8}$ | $\frac{1}{2}$ | $\frac{9}{16}$ | $\frac{3}{4}$ | 1 | — |

【0025】十種類の係数を選択するために4bitの係数選択信号を用いており、これが、図4の係数選択信号63a, 63b, 63c, 63dに相当する。この様に定めることにより、前述の通り、係数付加回路の回路規模を20Kbitとすることができる。図3の係数付加回路23aの出力データを基に、表1の係数選択信号を用いて、垂直及び水平ブロック位置i, jと係数選択信号の関係を示したものが表2であり、これはデコーダ46aの入出力表となる。同様に、デコーダ46b, 46c, 46dの入出力表は表3, 表4, 表5のように求められる。

【0026】

[表2]

[表2] デコーダ46aの出力を示す表

| I \ J | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|-------|---|---|---|---|---|---|---|---|
| 0 | 9 | 8 | 6 | 4 | 0 | 4 | 6 | 8 |
| 1 | 8 | 7 | 5 | 3 | 0 | 3 | 5 | 7 |
| 2 | 6 | 5 | 4 | 2 | 0 | 2 | 4 | 5 |
| 3 | 4 | 3 | 2 | 1 | 0 | 1 | 2 | 3 |
| 4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 5 | 4 | 3 | 2 | 1 | 0 | 1 | 2 | 3 |
| 6 | 6 | 5 | 4 | 2 | 0 | 2 | 4 | 5 |
| 7 | 8 | 7 | 5 | 3 | 0 | 3 | 5 | 7 |

【0027】

[表3]

[表3] デコーダ46bの出力を示す表

| I \ J | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|-------|---|---|---|---|---|---|---|---|
| 0 | 0 | 4 | 6 | 8 | 9 | 8 | 6 | 4 |
| 1 | 0 | 3 | 5 | 7 | 8 | 7 | 5 | 3 |
| 2 | 0 | 2 | 4 | 5 | 6 | 5 | 4 | 2 |
| 3 | 0 | 1 | 2 | 3 | 4 | 3 | 2 | 1 |
| 4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 5 | 0 | 1 | 2 | 3 | 4 | 3 | 2 | 1 |
| 6 | 0 | 2 | 4 | 5 | 6 | 5 | 4 | 2 |
| 7 | 0 | 3 | 5 | 7 | 8 | 7 | 5 | 3 |

【0028】

[表4]

[表4] デコーダ46cの出力を示す表

| I \ J | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|-------|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 4 | 3 | 2 | 1 | 0 | 1 | 2 | 3 |
| 2 | 6 | 5 | 4 | 2 | 0 | 2 | 4 | 5 |
| 3 | 8 | 7 | 5 | 3 | 0 | 3 | 5 | 7 |
| 4 | 9 | 8 | 6 | 4 | 0 | 4 | 6 | 8 |
| 5 | 8 | 7 | 5 | 3 | 0 | 3 | 5 | 7 |
| 6 | 6 | 5 | 4 | 2 | 0 | 2 | 4 | 5 |
| 7 | 4 | 3 | 2 | 1 | 0 | 1 | 2 | 3 |

【0029】

[表5]

[表5] デコーダ46dの出力を示す表

| I \ J | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|-------|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 2 | 3 | 4 | 3 | 2 | 1 |
| 2 | 0 | 2 | 4 | 5 | 6 | 5 | 4 | 2 |
| 3 | 0 | 3 | 5 | 7 | 8 | 7 | 5 | 3 |
| 4 | 0 | 4 | 6 | 8 | 9 | 8 | 6 | 4 |
| 5 | 0 | 3 | 5 | 7 | 8 | 7 | 5 | 3 |
| 6 | 0 | 2 | 4 | 5 | 6 | 5 | 4 | 2 |
| 7 | 0 | 1 | 2 | 3 | 4 | 3 | 2 | 1 |

【0030】これらのデコーダはメモリを用いたLUTとしても実現でき、この時のメモリ容量はアドレスが垂直及び水平ブロック位置i, jの下位3bitの合計6bit、出力データが4bitであるから、 $64 \times 4 = 256$ bitとなる。

【0031】以上の結果をまとめると、 128×128 のブロックを用いた場合、第一の実施例において、一色当たりに必要なメモリ容量は、LUTが $0.5 \text{ Mbit} \times 3 = 2 \text{ Mbit}$ 、係数付加回路が $20 \text{ Kbit} \times 4 = 80 \text{ Kbit}$ 、アドレス付加回路 $256 \times 4 = 1 \text{ Kbit}$ の計 2.1 Mbit であり、三原色分を考慮しても $2.1 \text{ Mbit} \times 3 = 6.3 \text{ Mbit}$ で構成できる。この様に、従来例の 96 Mbit に対して約 $1/16$ のメモリ低減が図れる。

【0032】本発明の第二の実施例の映像信号補正装置とそれを用いた表示装置のブロック図を図5に示し、以下、図面を参照しながら説明する。

【0033】第一の実施例では、各LUTは8bitの出力データを持っていた。しかし前述のように、隣接ブロック間での階調変化は0~1階調程度であり、水平・

垂直各四ブロック毎の十六ブロック毎にガンマ補正データを持つ場合でも、十六ブロック毎の階調変化にして、0〜4階調程度と考えられる。従って、各LUTが全て8bit(256階調)の出力データを持つ必要はなく、差分のガンマ補正データを持つようにすればさらにメモリ容量を低減できる。第二の実施例では、差分データの活用によるメモリ容量を図っている。

【0034】図5のブロック図が図1のブロック図と大きく異なるのは係数付加回路を通らないで加算器24に

入力されるLUT26が追加されている点とLUT22a, 22b, 22c, 22dの出力データ幅が8bitより少ない例えば4bitで構成されている点である。

【0035】LUT26は例えば、水平13×垂直13ブロックからなる大ブロックを単位として、デジタル映像信号61の上位6bitを入力とし、出力データ幅6bitの大まかなガンマ補正データを持つものとする。大ブロック内において、水平・垂直四ブロック毎に四つずつ計十六個の差分ガンマ補正データをLUT22a, 22b, 22c, 22dを持ち、第一の実施例と同様な補間により各ブロックの差分ガンマ補正信号を得る。差分ガンマ補正信号は、近接ブロック間で階調変化が少ないと考えられるので、上記のように出力幅4bit程度でよい。加算器24により、LUT26の出力を上位6bitとし、下位2bitを0とした信号に、上記の差分ガンマ補正信号を加算してブロック毎にガンマ補正されたデジタル映像信号を得る。表示画面が128×128のブロックに分けられているとすると、13×13ブロックからなる大ブロックを水平・垂直共十個ずつ計百個の大ブロックについてこの動作を繰り返すことにより、全ブロックについてガンマ補正されたデジタル映像信号が得られる。

【0036】次に、図5の実施例におけるメモリ容量を計算する。大ブロックにおいて、LUT26は入力映像信号が6bitで出力データ幅6bitであるから $64 \times 6 = 384 \text{ bit}$ のメモリ容量である。LUT22a, 22b, 22c, 22dは入力映像信号が8bitで出力データ幅4bitであり、かつ、13×13ブロックからなる大ブロック中水平・垂直共四ブロック毎であるから水平四×垂直四=十六種類用意する必要があるから、 $256 \times 4 \times 16 = 16 \text{ Kbit}$ のメモリ容量となる。表示画面全体では大ブロックが百個あるから、LUT関係だけで $(384 \text{ bit} + 16 \text{ Kbit}) \times 100 = 1.64 \text{ Mbit}$ となる。係数付加回路は扱うデータ幅が第一の実施例の半分であるから40Kbit、アドレス回路は第一の実施例とほぼ等しく1Kbitである。全体では一色当たり1.7Mbit、三色分では5.1Mbitと第一の実施例に比べて、メモリ容量をさらに低減できる。

【0037】本発明の第三の実施例の映像信号補正装置とそれを用いた表示装置のブロック図を図6に示し、以

下、図面を参照しながら説明する。

【0038】第一の実施例ではガンマ補正と同時に輝度むら補正を行うため、ガンマ補正データを持つブロックは全て、輝度むら補正とガンマ補正を両方含んだ形でデータを持っていた。そこで、第三の実施例では輝度むら補正機能とガンマ補正機能を分離し、輝度むら補正データは差分データとすることにより、メモリ容量低減を図ったものである。

【0039】通常、映像信号処理回路11の出力信号は、ブラウン管(CRT)の表示特性に合致したのとなっており、ブラウン管を通して見た映像が自然に見えるように、いわゆる逆ガンマ補正がかけられた信号となっていることが多い。この逆ガンマ補正された信号は、視感度特性とは異なっており、肉眼で見て輝度が変化したと感じられる映像信号電圧差は、黒表示と白表示付近で異なる。従って、輝度むら補正を少ないメモリ容量で実現するには、肉眼で見て輝度が変化したと感じられる映像信号電圧差を、黒表示と白表示、中間調表示において等しくなるような補正をあらかじめかけておいて、輝度むら補正を行う方法が最良である。その後、表示デバイスの表示特性に合わせたガンマ補正を行い、表示デバイスを駆動すれば良い。

【0040】図6のブロック図が図1のブロック図と大きく異なるのは、A/D変換器21の出力にLUT27が挿入された点と、LUT27の出力68が加算器24にも加えられた点、加算器24の出力にさらにLUT28が挿入された点である。

【0041】LUT27はA/D変換器21のデジタル映像出力信号を視感度補正されたデジタル映像信号、すなわち、肉眼で見て感じる階調差とデジタル映像信号差がほぼ比例するような、例えば、8bitのデジタル映像信号68を形成し、輝度むら補正データを持つLUT22a, 22b, 22c, 22dに入力される。視感度補正されたデジタル映像信号68は加算器25に加えられているので、輝度むら補正データとしては差分情報でよく、例えば、中央部と周辺部で25%の輝度差を補正しようとする、データ幅として6bit程度ですむ。各ブロックの補間された輝度むら補正データの形成動作については第一の実施例と同様であり、詳細な説明は省略する。

【0042】加算器25から、視感度補正と輝度むら補正されたデジタル映像信号66が出力され、LUT28に与えられる。LUT28は表示デバイスとして用いる液晶パネルの表示特性を考慮したガンマ補正を行ってD/A変換器25を駆動することにより、輝度むら補正とガンマ補正された映像信号で、水平ドライバを通して液晶パネルを駆動し、良好な画像表示が得られる。

【0043】次に、画面を水平128×垂直128のブロックに分けた場合の図6の実施例におけるメモリ容量を計算する。LUT27とLUT28はそれぞれ入力映

11

像信号が8bitで出力データ幅8bitであるから
 $256 \times 8 = 2\text{Kbit}$ のメモリ容量である。LUT
 22a, 22b, 22c, 22dは入力映像信号が8bit
 で出力データ幅6bitであり、かつ水平・垂直共
 四ブロック毎であるから水平 $32 \times$ 垂直 $32 = 1,024$
 種類用意する必要があるから、 $256 \times 6 \times 1,024 = 1.5\text{Mbit}$
 のメモリ容量となる。係数付加回
 路は扱うデータ幅が第一の実施例の $6/8$ であるから
 60Kbit 、アドレス回路は第一の実施例とほぼ等しく
 1Kbit である。従って、全体では一色当たり 1.6
 Mbit 、3色分では 4.8Mbit と第一や第二の実
 施例に比べて、メモリ容量をさらに低減できる。

【0044】さらに、第三の実施例では、LUT28の
 データをいくつか用意しておき、例えば映画や、ニュ
 ース、など表示内容によって階調表示特性を変えんとい
 うことが容易にできる効果もある。

【0045】また、第三の実施例では、LUT27を用
 いて視感度補正されたデジタル映像信号、すなわち肉
 眼で見て感じる階調差とデジタル映像信号差がほぼ比
 例するようなデジタル映像信号68を形成していた
 が、この処理をアナログ的に映像信号処理回路で行うこ
 とにより、LUT27を省くこともできる。この時、肉
 眼で見て感じる階調差と映像信号差がほぼ比例するた
 め、A/D変換器のダイナミックレンジをもっとも有効
 に使うことができる。その他、表示デバイスの表示特性
 がほぼ視感度と等しい場合はLUT28を省略できるこ
 とは明かである。本発明の第四の実施例の表示装置のブ
 ロック図を図7に示し、以下、図面を参照しながら説明
 する。

【0046】これまで述べてきた第一から第三の実施例
 を用いた表示装置のLUTへの補正データ格納方法に関
 するものである。これらのLUTは、一般にはEPROM
 やEEPROMなどのROMで構成することにより比較
 的容易に実現できる。しかし、例えば $15 \sim 30\text{MHz}$
 のクロックに同期したデジタル映像信号に必要な $60 \sim 30\text{nS}$
 程度の高速アクセスタイムROMは入手が容
 易ではない。そこでLUTに比較的高速なスタティック
 RAMなどのRAMを用い、例えば低速EPROMで構
 成される81に格納されているデータを表示装置の電源
 投入時などにRAM82, 83に転送するシステムとし
 ている。このデータ転送のために、LUTとしてのRA
 M82, 83とEPROM81を結ぶデータバス85が
 備えられている。このデータバスには、表示装置の輝度

12

むらや階調表示性などの表示特性を調整する際に、調整
 治具としてマイクロコンピュータ86を接続可能として
 おくと便利がよい。さらに、マイクロコンピュータは輝
 度計87やTVカメラ88などと接続して、表示特性調
 整の自動化を図ることができる利点がある。さらに、低
 速EPROMは比較的大容量のものが低価格で得られ安
 いことから、複数のガンマ補正データを用意しておき、
 LUTとしてのRAMに表示画面に対して最適なガンマ
 補正データを転送することにより、階調表示特性を選択
 できる利点もある。また、ガンマ補正データをROM8
 1に格納するとして説明したが、ROMでなくても、フ
 ロッピーディスクやハードディスク等の大容量メモリで
 代用することが出来るのは明かである。

【0047】以上、ドットマトリクス形表示装置とし
 て、液晶表示装置を例に挙げて説明したが、その他の
 EL(エレクトロルミネセンス)やPDP(プラズマ
 ディスプレイ)、VDP(蛍光表示管)などに用いても
 同様な効果がある。

【0048】

【発明の効果】本発明によれば比較的小さいメモリ容量
 で、輝度むらを低減すると同時にガンマ補正された映像
 信号を形成できる映像信号補正装置が実現できる。さら
 に、本発明の映像信号補正装置を用いた表示装置によれ
 ば、輝度むらが少なく、階調表示特性が良好で、かつ、
 表示画像内容に適した階調表示特性を選択できるため、
 高画質感のある表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すブロック図、

【図2】本発明の第一の実施例の動作原理の説明図、

【図3】本発明の第一の実施例の係数付加回路の出力デ
 ータの説明図、

【図4】本発明の第一の実施例のアドレス回路のブロッ
 ク図、

【図5】本発明の第二の実施例を示すブロック図、

【図6】本発明の第三の実施例を示すブロック図、

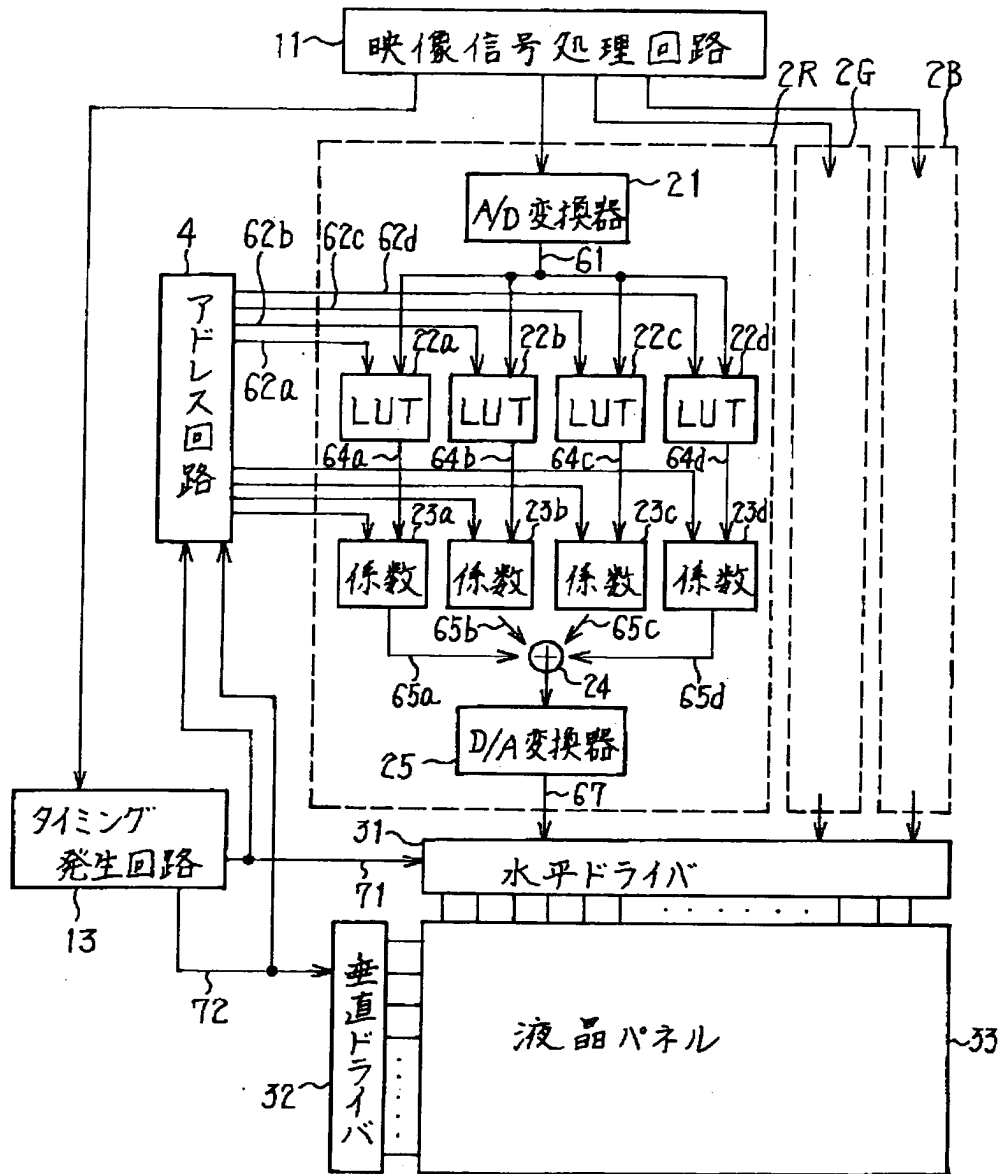
【図7】本発明の第四の実施例を示すブロック図。

【符号の説明】

2R, 2G, 2B…映像信号補正回路、4…アドレス回
 路、11…映像信号処理回路、21…A/D変換器、2
 2a, 22b, 22c, 22d…LUT、23a, 23
 b, 23c, 23d…係数付加回路、24…加算器、2
 5…D/A変換器、31…水平ドライバ、32…垂直ド
 ライバ、33…液晶パネル。

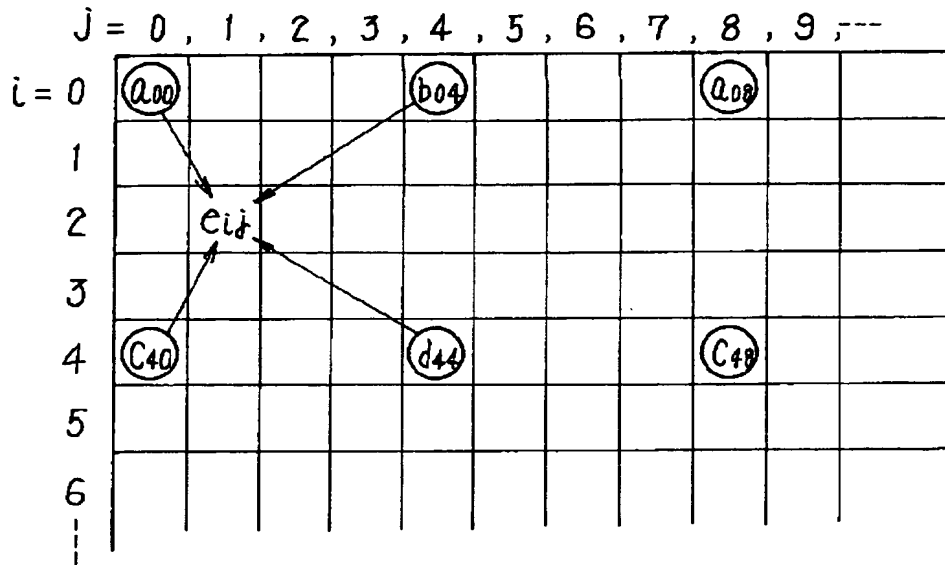
【図1】

図1



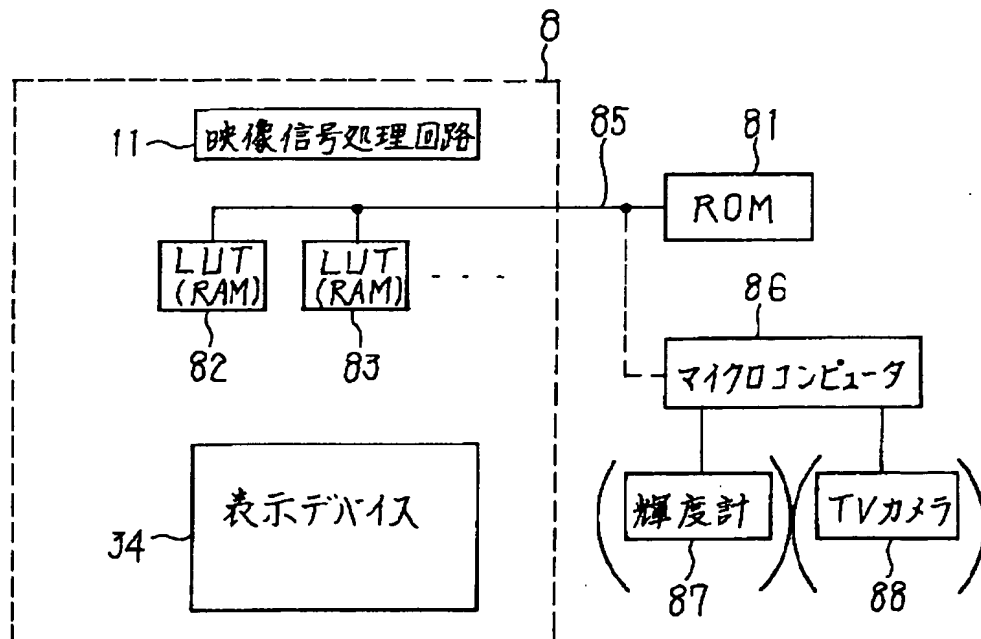
【図2】

図2



【図7】

図7



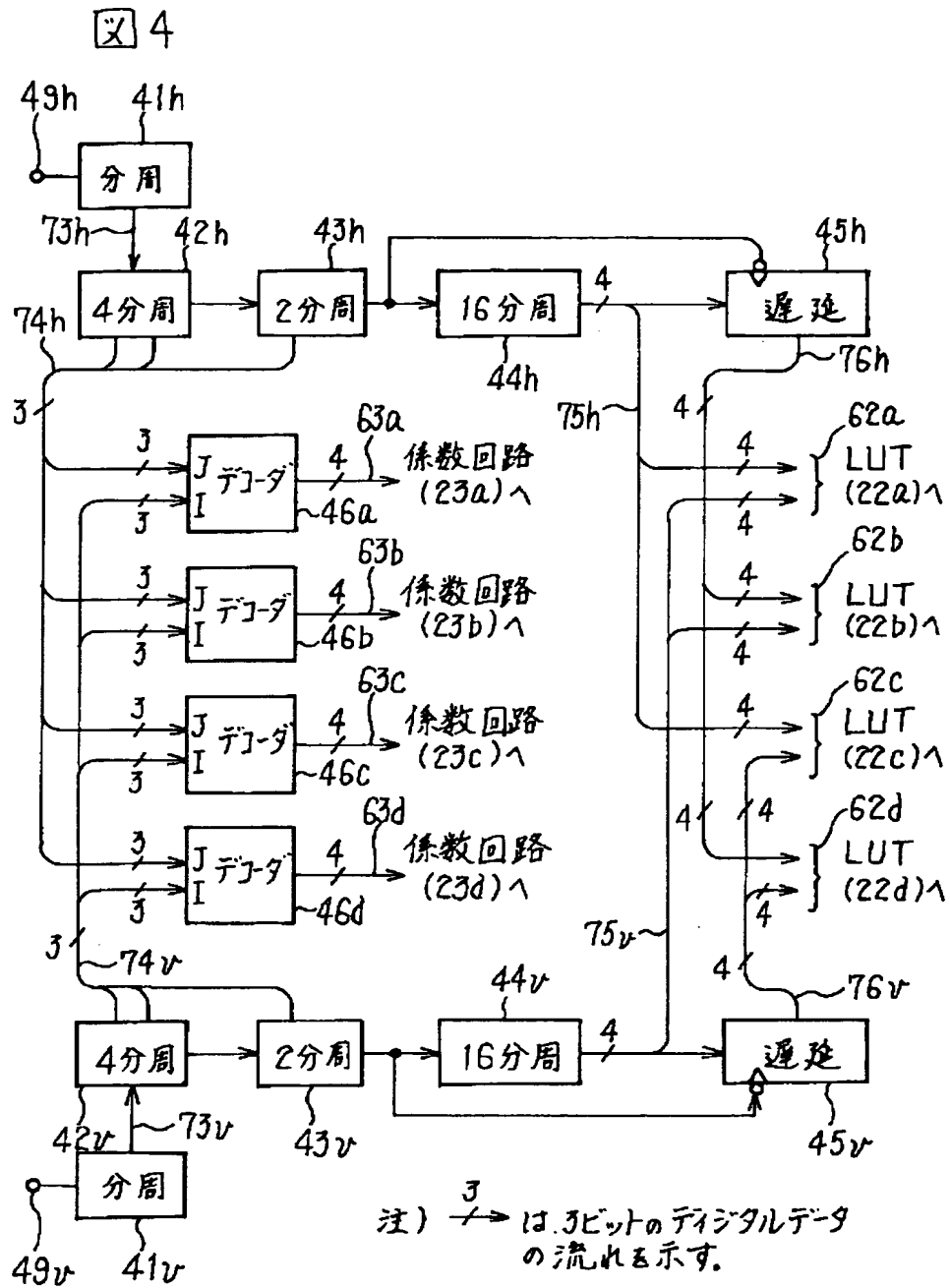
【図3】

図3

| | | j = 0 1 2 3 4 5 6 7 8 9 | | | | | | | | | | ()内は jの下位 3ビットを 示す。 |
|-------|-------|-------------------------|----------------------|---------------------|----------------------|-------|----------------------|---------------------|----------------------|---------------------|----------------------|-------------------------------|
| | | (000) | (001) | (010) | (011) | (100) | (101) | (110) | (111) | (000) | (001) | |
| i = 0 | (000) | a_{00} | $\frac{3}{4}a_{00}$ | $\frac{1}{2}a_{00}$ | $\frac{1}{4}a_{00}$ | 0 | $\frac{1}{4}a_{08}$ | $\frac{1}{2}a_{08}$ | $\frac{3}{4}a_{08}$ | a_{08} | $\frac{3}{4}a_{08}$ | |
| 1 | (001) | $\frac{3}{4}a_{00}$ | $\frac{9}{16}a_{00}$ | $\frac{3}{8}a_{00}$ | $\frac{3}{16}a_{00}$ | 0 | $\frac{3}{16}a_{08}$ | $\frac{3}{8}a_{08}$ | $\frac{9}{16}a_{08}$ | $\frac{3}{4}a_{08}$ | $\frac{9}{16}a_{08}$ | |
| 2 | (010) | $\frac{1}{2}a_{00}$ | $\frac{3}{8}a_{00}$ | $\frac{1}{4}a_{00}$ | $\frac{1}{8}a_{00}$ | 0 | $\frac{1}{8}a_{08}$ | $\frac{1}{4}a_{08}$ | $\frac{3}{8}a_{08}$ | $\frac{1}{2}a_{08}$ | $\frac{3}{8}a_{08}$ | |
| 3 | (011) | $\frac{1}{4}a_{00}$ | $\frac{3}{16}a_{00}$ | $\frac{1}{8}a_{00}$ | $\frac{1}{16}a_{00}$ | 0 | $\frac{1}{16}a_{08}$ | $\frac{1}{8}a_{08}$ | $\frac{3}{16}a_{08}$ | $\frac{1}{4}a_{08}$ | $\frac{3}{16}a_{08}$ | |
| 4 | (100) | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| 5 | (101) | $\frac{1}{4}a_{80}$ | $\frac{3}{16}a_{80}$ | $\frac{1}{8}a_{80}$ | $\frac{1}{16}a_{80}$ | 0 | $\frac{1}{16}a_{88}$ | $\frac{1}{8}a_{88}$ | $\frac{3}{16}a_{88}$ | $\frac{1}{4}a_{88}$ | $\frac{3}{16}a_{88}$ | |
| 6 | (110) | $\frac{1}{2}a_{80}$ | $\frac{3}{8}a_{80}$ | $\frac{1}{4}a_{80}$ | $\frac{1}{8}a_{80}$ | 0 | $\frac{1}{8}a_{88}$ | $\frac{1}{4}a_{88}$ | $\frac{3}{8}a_{88}$ | $\frac{1}{2}a_{88}$ | $\frac{3}{8}a_{88}$ | |
| 7 | (111) | $\frac{3}{4}a_{80}$ | $\frac{9}{16}a_{80}$ | $\frac{3}{8}a_{80}$ | $\frac{3}{16}a_{80}$ | 0 | $\frac{3}{16}a_{88}$ | $\frac{3}{8}a_{88}$ | $\frac{9}{16}a_{88}$ | $\frac{3}{4}a_{88}$ | $\frac{9}{16}a_{88}$ | |
| 8 | (000) | a_{80} | $\frac{3}{4}a_{80}$ | $\frac{1}{2}a_{80}$ | $\frac{1}{4}a_{80}$ | 0 | $\frac{1}{4}a_{88}$ | $\frac{1}{2}a_{88}$ | $\frac{3}{4}a_{88}$ | a_{88} | $\frac{3}{4}a_{88}$ | |
| 9 | (001) | $\frac{3}{4}a_{80}$ | $\frac{9}{16}a_{80}$ | $\frac{3}{8}a_{80}$ | $\frac{3}{16}a_{80}$ | 0 | $\frac{3}{16}a_{88}$ | $\frac{3}{8}a_{88}$ | $\frac{9}{16}a_{88}$ | $\frac{3}{4}a_{88}$ | $\frac{9}{16}a_{88}$ | |
| | | | | | | | | | | | | |

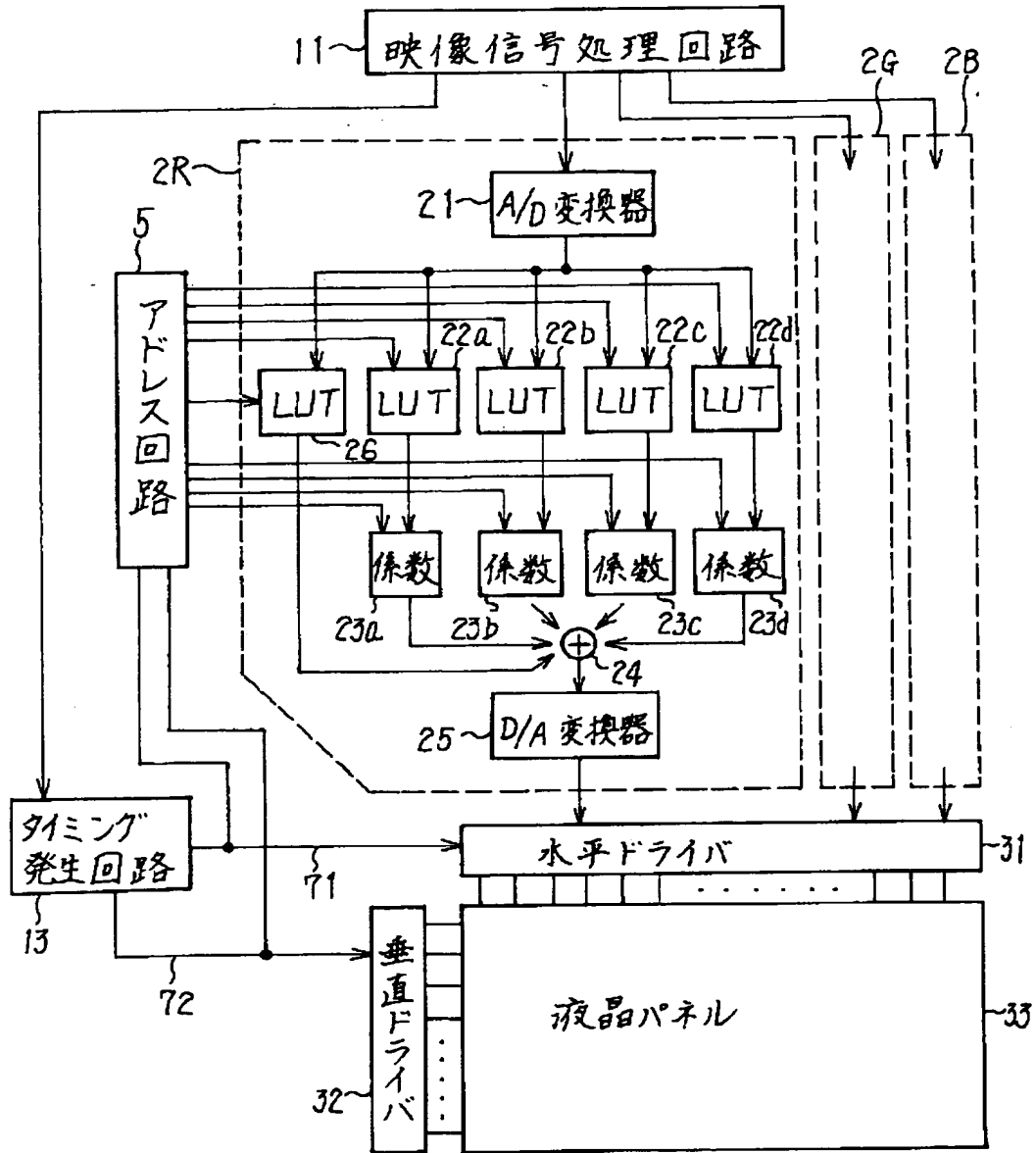
()内は
iの下位
3ビットを示す。

【図4】



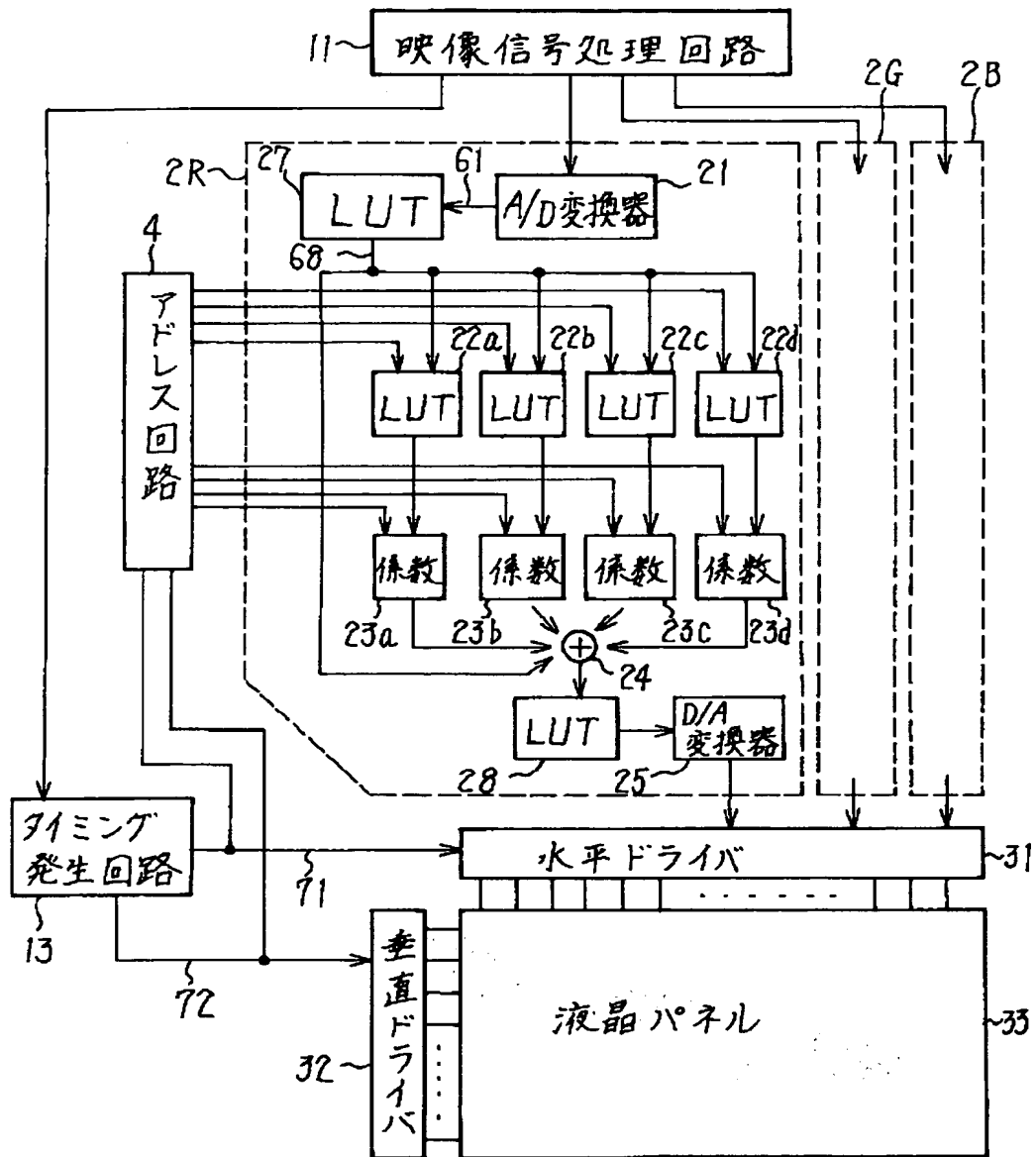
【図5】

図5



【図6】

図6



フロントページの続き

(72)発明者 吹上 賢一
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立画像情報システム内

This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)